



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10027799 A**(43) Date of publication of application: **27.01.98**(51) Int. Cl. **H01L 21/3205**(21) Application number: **09092104**(22) Date of filing: **10.04.97**(30) Priority: **22.04.96 JP 08100178**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **KINUGAWA MASAOKI**(54) **SEMICONDUCTOR DEVICE AND  
MANUFACTURE THEREOF**

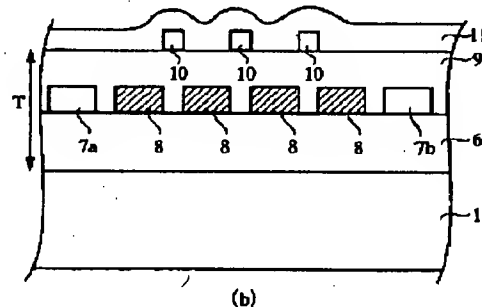
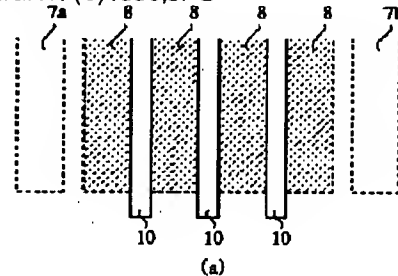
## (57) Abstract:

**PROBLEM TO BE SOLVED:** To ensure the surface of a semiconductor substrate of high flatness, to keep a wiring pattern high in processing accuracy, and to reduce an increase of a semiconductor device in wiring capacitance to an irreducible minimum as a whole, by a method wherein a dummy pattern and a second wiring pattern are two-dimensionally separated from each other.

**SOLUTION:** An interlayer insulating film 6 is deposited on the front surface of a semiconductor substrate 1 first. Then, a wiring material of Al, polysilicon or the like is deposited on the surface of the interlayer insulating film 6 and then patterned into first wiring patterns 7a and 7b and a dummy pattern 8 through a lithography process. At this point, the first dummy pattern 8 or a second wiring pattern 10 is so formed as not to two-dimensionally overlap each other, whereby an inter-board capacitance is prevented from increasing markedly due to the formation of the dummy pattern 8. By this setup, each wiring pattern of a multilayer interconnection structure can be flattened through a CMP

method without deteriorating a semiconductor device in high speed operation properties.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-27799

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 21/3205

識別記号

庁内整理番号

F I

H 0 1 L 21/88

技術表示箇所

K  
S

審査請求 未請求 請求項の数21 O L (全 10 頁)

(21) 出願番号 特願平9-92104

(22) 出願日 平成9年(1997) 4月10日

(31) 優先権主張番号 特願平8-100178

(32) 優先日 平8 (1996) 4月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 衣川 正明

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

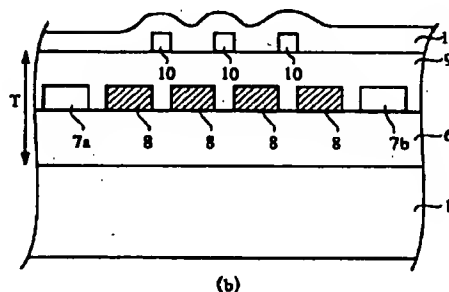
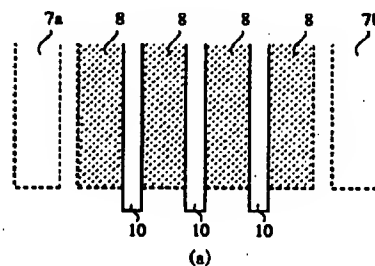
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置の高速化、高集積化が急速に進められており、配線の高集積化による配線容量の増大が、半導体装置の高速化を妨げる主要な原因となりつつある。多層配線構造を有する半導体装置にダミーパターンを形成しようとするときは、多層配線構造の全配線容量を増加させないようにすることが極めて重要な課題となっている。

【解決手段】 多層配線構造の最上層を除く少なくとも1の配線パターンに、電気的に接続されることなく形成されたダミーパターンと、前記多層配線構造に形成された配線パターンとの間に、半導体装置の要求性能に応じて、ダミーパターンを所定の規則に従って配置することにより、多層配線構造にダミーパターンを配置する際、全配線容量の増加を最小限に抑える。



## 【特許請求の範囲】

【請求項1】 半導体基板上に第一の膜厚を有して形成された第一層間絶縁膜と、  
前記第一層間絶縁膜表面上に形成された複数の第一配線パターンと、

前記第一層間絶縁膜表面上の前記第一配線パターン間に電氣的に絶縁されて形成されたダミーパターンと、  
前記第一層間絶縁膜、前記第一配線パターン、前記ダミーパターン表面上に前記第一層間絶縁膜から第二の膜厚を有して形成された第二層間絶縁膜と、  
前記第二層間絶縁膜表面上に形成された第二配線パターンとを有し、  
前記ダミーパターンと前記第二配線パターンとは平面的に離間していることを特徴とする半導体装置。

【請求項2】 前記ダミーパターンと前記第二配線パターンとは平面的に少なくとも前記第二層間絶縁膜の第二の膜厚以上の距離を有して形成されることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ダミーパターンと前記第二配線パターンとは平面的に少なくとも前記第一層間絶縁膜の第一の膜厚と前記第二層間絶縁膜の第二の膜厚との和以上の距離を有して形成されることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記ダミーパターンと前記第二配線パターンとは平面的に少なくとも前記半導体基板表面と第二層間絶縁膜の下部表面との距離以上の距離を有して形成されることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記第一配線パターンと前記ダミーパターンとは同一の材料により形成されることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記第一配線パターンと前記ダミーパターンとは導電性を有するポリシリコンにより形成されることを特徴とする請求項5記載の半導体装置。

【請求項7】 半導体基板上に形成された層間絶縁膜と、  
前記層間絶縁膜表面上に第一間隔をもって形成された少なくとも2つの第一配線パターンと、  
前記層間絶縁膜表面上に最小間隔をもって形成された少なくとも2つの第二配線パターンと、  
前記第一配線パターン間の少なくとも1つの領域に電氣的に絶縁されて形成されたダミーパターンとを有し、  
前記第一間隔から前記ダミーパターンの幅を差し引いた距離が、前記最小間隔に比べて大きいことを特徴とする半導体装置。

【請求項8】 前記第一配線パターン間の少なくとも1つの領域には前記ダミーパターンが複数形成され、前記第一間隔から複数の前記ダミーパターンの幅の和を差し引いた距離が、前記最小間隔に比べて大きいことを特徴とする請求項7記載の半導体装置。

【請求項9】 前記第一間隔から前記ダミーパターンの

幅を差し引いた距離が、前記層間絶縁膜の膜厚に比べて大きいことを特徴とする請求項7記載の半導体装置。

【請求項10】 前記第一間隔から複数の前記ダミーパターンの幅の和を差し引いた距離が、前記層間絶縁膜の膜厚に比べて大きいことを特徴とする請求項8記載の半導体装置。

【請求項11】 前記第一、第二配線パターンと前記ダミーパターンとは同一の材料により形成されることを特徴とする請求項7記載の半導体装置。

10 【請求項12】 前記第一、第二配線パターンと前記ダミーパターンとは導電性を有するポリシリコンにより形成されることを特徴とする請求項11記載の半導体装置。

【請求項13】 半導体基板上に第一の膜厚を有して形成された第一層間絶縁膜と、

前記第一層間絶縁膜表面上に第一間隔をもって形成された少なくとも2つの第一配線パターンと、  
前記第一層間絶縁膜表面上に最小間隔をもって形成された少なくとも2つの第二配線パターンと、

20 前記第一層間絶縁膜表面上の前記第一配線パターン間に電氣的に絶縁されて形成されたダミーパターンと、

前記第一層間絶縁膜、前記第一、第二配線パターン、前記ダミーパターン表面上に前記第一層間絶縁膜から第二の膜厚を有して形成された第二層間絶縁膜と、前記第二層間絶縁膜表面上に形成された第三配線パターンとを有し、

30 前記ダミーパターンと前記第三配線パターンとは平面的に離間し、かつ前記第一間隔から前記ダミーパターンの幅を差し引いた距離が、前記最小間隔より大きいことを特徴とする半導体装置。

【請求項14】 半導体基板表面上に第一の膜厚で第一層間絶縁膜を形成する工程と、

前記第一層間絶縁膜表面上に第一導電膜を形成する工程と、

前記第一導電膜をパターニングし、少なくとも2つの第一配線パターンと、この2つの第一配線パターンの間にダミーパターンを形成する工程と、

前記第一層間絶縁膜、前記第一配線パターン、前記ダミーパターン表面上に前記第一層間絶縁膜から第二の膜厚で第二の層間絶縁膜を形成する工程と、

40 前記第二の層間絶縁膜表面上に第二導電膜を形成する工程と、

前記第二導電膜を前記ダミーパターンと平面的に離間するようにパターニングし、第二配線パターンを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項15】 前記ダミーパターンと前記第二配線パターンとは平面的に少なくとも前記第二層間絶縁膜の第二の膜厚以上の距離を有して形成することを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】 前記ダミーパターンと前記第二配線パターンとは平面的に少なくとも前記第一層間絶縁膜の第一の膜厚と前記第二層間絶縁膜の第二の膜厚との和以上の距離を有して形成することを特徴とする請求項14記載の半導体装置の製造方法。

【請求項17】 前記ダミーパターンと前記第二配線パターンとは平面的に少なくとも前記半導体基板表面と第二層間絶縁膜の下部表面との距離以上の距離を有して形成することを特徴とする請求項14記載の半導体装置の製造方法。

【請求項18】 半導体基板上に層間絶縁膜を形成する工程と、

前記層間絶縁膜表面上に第一導電膜を形成する工程と、  
前記第一導電膜をパターニングし、第一間隔をもって少なくとも2つの第一配線パターンを形成し、最小間隔をもって少なくとも2つの第二配線パターンを形成し、前記第一配線パターンの間にダミーパターンを形成する工程とを有し、前記第一間隔から前記ダミーパターンの幅を差し引いた距離が、前記最小間隔に比べて大きくなるように前記ダミーパターンを形成することを特徴とする半導体装置の製造方法。

【請求項19】 前記第一配線パターン間の少なくとも1つの領域には前記ダミーパターンが複数形成され、前記第一間隔から複数の前記ダミーパターンの幅の和を差し引いた距離が、前記最小間隔に比べて大きく形成されること特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】 前記第一間隔から前記ダミーパターンの幅を差し引いた距離が、前記層間絶縁膜の膜厚に比べて大きいことを特徴とする請求項18記載の半導体装置の製造方法。

【請求項21】 前記第一間隔から複数の前記ダミーパターンの幅の和を差し引いた距離が、前記層間絶縁膜の膜厚に比べて大きく形成されることを特徴とする請求項19記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線構造を有する半導体装置とその製造方法に関し、特に、層間絶縁膜の平坦化のためにダミーパターンを形成する工程と、CMP (Chemical Mechanical Polish) 法により層間絶縁膜を平坦化する工程を含んで形成された半導体装置とその製造方法に関する。

【0002】

【従来の技術】図5は、半導体基板上に形成された層間絶縁膜を、CMP法により平坦化する様子を説明するための半導体装置の断面図である。半導体基板1上には、不純物のイオン注入や拡散を行って形成された図示せぬ素子、その表面上に形成された一層目層間絶縁膜6、素子との接続のために層間絶縁膜6に形成された図示せぬ

コンタクトホール、層間絶縁膜6表面上に形成された一層目のA1配線パターン7a、7b、及び二層目の層間絶縁膜9を有している。

【0003】図示するように、二層目の層間絶縁膜9の下地には膜厚の厚い一層目のA1配線パターン7a、7bが存在するために、層間絶縁膜9の表面は凹凸を有した形状となる。この凹凸を有した形状の層間絶縁膜9表面上にそのまま二層目のA1配線を形成しようとすれば、そのパターニングの際のリソグラフィーの加工精度が低下し、この結果、配線歩留まりの低下やエレクトロマイグレーションの低下、物理的な歪みに弱い等の問題が生じる。

【0004】この問題が生じるのを避けるため、二層目のA1配線パターンを形成するためのA1膜を堆積する前に、CMP法を用いて層間絶縁膜9表面を研磨布16により研磨し、平坦化する工程を行うことが望ましい。この場合、配線パターン7a周囲の配線パターンが疎に形成された領域を覆う層間絶縁膜9の表面と、配線パターン7b周囲の配線パターンが密に形成された領域を覆う層間絶縁膜9の表面とが、同時に研磨されることになる。

【0005】しかし、研磨布16と配線パターン7aを覆う層間絶縁膜9表面との接触面積が、研磨布16と配線パターン7bを覆う層間絶縁膜9の表面との接触面積に比べ大きくなり、配線パターン7aを覆う層間絶縁膜9表面に研磨布16の圧力が大きくかかり、この部分のポリッシュレートが大きくなる。このため、層間絶縁膜9表面の平坦性が逆に損なわれるという問題点がある。

【0006】また、配線パターン7a、7bのパターニングは、反応性イオンエッチング法により行うが、この際、配線パターンが密に設計された領域における配線材料のエッチングレートが、配線パターンが疎に設計された領域における配線材料のエッチングレートに比べ大きくなる。これは、エッチング時に用いられるエッチングイオンの密度が単位面積当たり全て等しく、配線パターンが疎に設計された領域では、配線パターンが密に設計された領域に比べ、より多くの配線材料をエッチング除去する必要があるからである。この結果、配線パターンの疎密がエッチングレートの不均一を生ずるという問題点がある。

【0007】上記の2つの問題点を解決するため、配線パターンが疎に形成された配線パターン7aの周辺領域に配線パターンや他の素子とは電気的には接続されていない状態でダミーパターンを配置し、配線パターン上部に形成される層間絶縁膜の平坦性の向上と、配線パターンの加工精度の改善を図る技術が知られている。

【0008】図6(a)、(b)にダミーパターンを配置した従来の半導体装置の平面図及び断面図を示す。図示するように、ダミーパターン8は配線パターンが疎の領域に形成された2つの一層目A1配線パターン7a、

7bの間に配置される。ダミーパターン8が配置されたことにより、二層目の層間絶縁膜9表面は平坦化され、その表面上に二層目A1配線パターン10を高精度で微細に加工することが可能となる。また配線パターンが密に設計された領域とほぼ同程度の密度で配線パターン7a、7b及びダミーパターン8を形成すれば、反応性イオンエッチング法においてエッチングレートの不均一を生じることも無く、配線パターン7a、7bを精度よく加工することもできる。

【0009】尚、二層目A1配線パターンのパッシベーション用絶縁膜11上には配線パターンを設けないので、その表面を平坦化する必要はない。ところで近年、半導体装置の高速化、高集積化が急速に進められている。この場合、配線の高集積化による配線容量の増大が、半導体装置の高速化を妨げる主要な原因となりつつある。従って、前述のように多層配線構造を有する半導体装置にダミーパターンを形成しようとするときは、多層配線構造の全配線容量を増加させないようにすることが極めて重要な課題となっている。

【0010】ここで、図6に示す構造における配線間容量及び基板間容量について考察する。例えば、図7

(a)に示すように、一般に、容量を形成する対向する電極20a、20bの間に、厚さT1の絶縁層19のみが存在する場合と、図7(b)に示すように、絶縁層19内に厚さT2の導電層21が存在する場合とを比べれば、後者の容量値は前者の $T1 / (T1 - T2)$ 倍となる。換言すれば、絶縁層内に導電層を介在させたときの容量の値は、絶縁層の厚さから、導電層の厚さを差し引いた厚さをみかけの絶縁層の厚さとした場合の容量値と実質的に等しくなる。

【0011】従って、図7(b)の電気的に接続された対向する2つの電極20aと20bと絶縁層内の導電層21を、それぞれ、図6に示す同一配線パターンに形成された2つの配線パターン7a、7bの端面と、電気的に接続されないダミーパターン8とみなせば、配線間容量18に対するダミーパターンの影響を、図7により等価的に求めることができる。また同様に2つの電極20aと20bと絶縁層内の導電層21を、それぞれ、二層目配線パターン10の底面と基板1表面及び、電気的に接続されないダミーパターン8とみなせば、基板間容量17に対するダミーパターンの影響を、図7により等価的に求めることができる。

【0012】すなわちダミーパターン8の配線間容量18に対する影響を考慮する場合には、2つの配線パターン7a、7bの端面の間隔から、2つの配線パターン内部にあるダミーパターン8の幅を差し引いた値が、配線間にダミーパターンが存在する場合の、2つの配線パターン間の容量に対応する絶縁膜のみかけの厚さとみなすことができる。さらに2つの配線パターンの内部に幅の異なる複数のダミーパターンが形成される場合には、2

つの配線パターンの端面の間隔からダミーパターンの幅の和を差し引いた値が、2つの配線パターン間の容量に対応する絶縁膜のみかけの厚さとみなすことができる。

【0013】同様にダミーパターン8の基板間容量17に対する影響を考慮する場合には、基板1表面と配線パターン10との間に形成される層間絶縁膜6、9の膜厚の和からその内部にあるダミーパターン8の膜厚を差し引いた値が、配線と基板間にダミーパターンが存在する場合の、基板間容量に対応する絶縁膜のみかけの厚さとみなすことができる。

【0014】よって図6に示すように、単に配線パターンが疎に形成された領域にダミーパターンを設けた場合では、配線パターン10と半導体基板1との間にダミーパターン8が存在することとなるため、ダミーパターン上の二層目の配線パターンと基板1との基板間容量17の値が増加することになる。また配線パターン7aと7bとの間にダミーパターン8が存在することとなるため、配線パターン7aと7bとの間の配線間容量18の値も増加することになる。

【0015】尚、上記の説明においては半導体基板1上に形成される素子分離絶縁膜の影響を考慮していない。素子分離絶縁膜が形成されている領域では、配線10と基板1との間に形成される基板間容量17は、素子分離絶縁膜の膜厚分だけ低下することになるが、素子分離絶縁膜は配線10下部の全領域において形成されるものではなく、また、設計基準を厳しくする立場から、素子分離絶縁膜を考慮しないのは妥当な評価方法である。

【0016】さらに、二層以上の多層配線において、中間層にダミーパターンを配置したときの影響は厳密には上下に隣り合う配線パターン以外にも及ぶのであるが、このとき、複数の厚い層間絶縁膜が介在するので、その影響は無視することができる。

【0017】

【発明が解決しようとする課題】上記のように半導体装置の高速化、高集積化が急速に進められており、配線の高集積化による配線容量の増大が、半導体装置の高速化を妨げる主要な原因となりつつある。従って、多層配線構造を有する半導体装置にダミーパターンを形成しようとするときは、多層配線構造の全配線容量を増加させないようにすることが極めて重要な課題となっている。

【0018】本発明は多層配線構造の層間絶縁膜をCMP法により研磨する際に、ダミーパターンを用いることにより平坦性を確保し、配線パターンの加工精度を保つとともに、前記多層配線構造の全配線容量を大きく増加することなく、半導体装置の高速化と高集積化を達成することのできる半導体装置及びその製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】上記の目的を達成するため本発明の多層配線構造を有する半導体装置の第一の実

施形態は、半導体基板上に第一の膜厚を有して形成された第一層間絶縁膜と、前記第一層間絶縁膜表面上に形成された複数の第一配線パターンと、前記第一層間絶縁膜表面上の前記第一配線パターン間に電気的に絶縁されて形成されたダミーパターンと、前記第一層間絶縁膜、前記第一配線パターン、前記ダミーパターン表面上に前記第一層間絶縁膜から第二の膜厚を有して形成された第二層間絶縁膜と、前記第二層間絶縁膜表面上に形成された二層目配線パターンとを有し、前記ダミーパターンと前記二層目配線パターンとは平面的に離間していることを特徴とする。

【0020】また本発明の第二の実施形態の半導体装置は、半導体基板上に形成された層間絶縁膜と、前記層間絶縁膜表面上に第一間隔をもって形成された少なくとも2つの第一配線パターンと、前記層間絶縁膜表面上に最小間隔をもって形成された少なくとも2つの二層目配線パターンと、前記第一配線パターン間の少なくとも1つの領域に電気的に絶縁されて形成されたダミーパターンとを有し、前記第一間隔から前記ダミーパターンの幅を差し引いた距離が、前記最小間隔に比べて大きいことを特徴とする。

【0021】また本発明の第一の実施形態に対応した半導体装置の製造方法は、半導体基板表面上に第一の膜厚で第一の層間絶縁膜を形成する工程と、前記第一の層間絶縁膜表面上に第一の導電膜を形成する工程と、前記第一の導電膜をパターニングし、少なくとも2つの第一配線パターンと、この2つの第一配線パターンの間にダミーパターンを形成する工程と、前記第一層間絶縁膜、前記第一配線パターン、前記ダミーパターン表面上に前記第一層間絶縁膜から第二の膜厚で二層目の層間絶縁膜を形成する工程と、前記二層目の層間絶縁膜表面上に第二の導電膜を形成する工程と、前記第二の導電膜を前記ダミーパターンと平面的に離間するようにパターニングし、第二の配線パターンを形成する工程とを有することを特徴とする。

【0022】また本発明の第二の実施形態に対応した半導体装置の製造方法は、半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜表面上に第一導電膜を形成する工程と、前記第一導電膜をパターニングし、第一間隔をもって少なくとも2つの第一配線パターンを形成し、最小間隔をもって少なくとも2つの二層目配線パターンを形成し、前記第一配線パターン間にダミーパターンを形成する工程とを有し、前記第一間隔から前記ダミーパターンの幅を差し引いた距離が、前記最小間隔に比べて大きくなるように前記ダミーパターンを形成することを特徴とする。

【0023】以上のような半導体装置及びその製造方法を適用することにより、多層配線構造の最上層を除く少なくとも1の配線パターンに、電気的に接続されことなく形成されたダミーパターンと、前記多層配線構造に

形成された配線パターンとの間に、半導体装置の要求性能に応じて、上記ダミーパターン配置の規則の一つ、またはその組み合わせを適用することにより、前記多層配線構造にダミーパターンを配置する際、全配線容量の増加を最小限に抑えることができる。

【0024】また、CMP研磨を用いて多層配線構造の平坦化が達成されると同時に、配線パターンの寄生容量の増大と半導体装置の動作速度の低下が最小限に抑制されるので、リソグラフィ工程における製造歩留まりの向上と、高機能、高性能でかつ信頼性に優れた半導体装置とその製造方法を得ることができる。

【0025】

【発明の実施の形態】本発明の第一の実施形態を図1(a)、(b)の平面図及び断面図を参照して説明する。製造方法を以下に示す。はじめに半導体基板1表面上にCVD法などにより層間絶縁膜6を堆積する。次に、層間絶縁膜6表面上にA1やポリシリコン等の配線材料を堆積し、リソグラフィ工程により配線材料をパターニングし、第一配線パターン7a、7b及びダミーパターン8を形成する。次に配線パターン、ダミーパターン、層間絶縁膜6表面上にCVD法などにより層間絶縁膜9を堆積し、その表面上をCMP法により平坦化する。次に、平坦化された層間絶縁膜9表面上にA1やポリシリコン等の配線材料を堆積し、これをリソグラフィ工程によりパターニングし二層目配線パターン10を形成する。そして最後に配線パターン10、層間絶縁膜9表面上にバッシベーション膜11を堆積する。

【0026】尚、ダミーパターン8は、配線パターンが疎に設計された領域に形成されるため、層間絶縁膜9表面の平坦性の向上と、配線パターン7a、7bの加工精度の向上に寄与している。またダミーパターン8は、基板1や配線パターン7a、7b、10等とは電気的には接続されておらず、またその高さは配線パターン7a、7bと同様である。

【0027】本発明の第一の実施形態が特徴とするところは、一層目のダミーパターン8と、二層目配線パターン10とが、平面的には重複部分を生じないようにダミーパターン8或いは二層目配線パターン10を形成した点にある。すなわちダミーパターン8の上部（または二層目配線パターン10下部）に、二層目配線パターン10（またはダミーパターン8）が存在しないように、ダミーパターン8及び二層目配線パターン10を形成する。尚、本明細書中では、上記のようなダミーパターン8と二層目配線パターンとの関係を平面的に重複しない、または平面的に距離を有するという表現で示す。

【0028】従来では、その上部に二層目配線パターンを形成するしないに関わらず、一層目配線パターンが疎に形成される領域には、二層目配線パターンと基板との間に形成される基板間容量等を考慮せずダミーパターンを形成していた。このため、図7を参照して説明したよ

うに、基板間容量は二層目配線パターンと基板間に形成されたダミーパターンの膜厚に対応した分だけ増加するという問題点があった。しかし、本発明の第一実施形態では、二層目A1配線パターンと基板間には、ダミーパターン8を形成することがないため、ダミーパターン8の形成によって基板間容量が大幅に増加することはない。

【0029】次に本発明の第一の実施形態の更に望ましい形態について図2(a)、図2(b)の平面図及び断面図を参照して説明する。尚、前述の第一の実施形態と同様の構成については同一の符号を記し、その説明は省略する。

【0030】前述の説明では、ダミーパターン8と二層目配線パターン10とを平面的に重複しないように形成することを述べたが、重複部分を生じない場合であっても、二層目配線パターンのフリンジング効果が生じており、基板間容量のダミーパターンの影響による増加を完全に防ぐことはできない。

【0031】すなわち二層目配線パターンのフリンジング効果を低減させるためには、ダミーパターン8及び二層目配線パターン10との平面的な距離をさらなる距離を有して形成することが望ましい。すなわち、フリンジング効果の影響をほとんど無視するためには、ダミーパターン8と二層目配線パターン10との平面的な距離Sを二層目の層間絶縁膜9の膜厚T2以上離間させることが望ましい。これにより、二層目配線パターン10のフリンジング効果によるダミーパターン8の形成による基板間容量の増加を無視し得るほど小さくすることができる。

【0032】尚、上記の説明では、二層目配線パターンのフリンジング効果が無視し得るほどの範囲として、二層目配線パターンの膜厚T2を基準としたが、ダミーパターン8と二層目配線パターンの平面的な距離Sをさらに離間させることにより、さらにダミーパターン8の形成による基板間容量の増加を小さくすることができるのは勿論である。例えば、ダミーパターン8と二層目配線パターンの平面的な距離Sを一層目の層間絶縁膜の膜厚T1とT2との和以上で離間させることにより、さらに効果が期待できる。但し、ダミーパターンはあくまでも上部に形成される層間絶縁膜の平坦性の向上と、配線パターンの加工精度の向上のために形成するので、これら効果を得ることができる範囲で、ダミーパターンを形成する必要がある。また、ダミーパターン8と二層目配線パターンの平面的な距離Sを二層目の層間絶縁膜の膜厚T2未満とした場合でも、ダミーパターン8の形成による基板間容量の増加を抑制することはできる。

【0033】尚、上記の第一の実施形態では、二層配線の場合について説明したが、同様の規則は三層以上の多層配線構造に対しても適用することができる。例えば三層以上の多層配線構造で、その中間の層にダミーパター

ンを形成する場合、その中間の層の上下に形成される配線パターン間の配線間容量について考慮する場合も、ダミーパターンをその直上に位置する配線パターンと平面的に重複しないように形成することにより、その直上の配線パターンとその直下の配線パターンとの間で形成される配線間容量のダミーパターン形成による増加を抑制することができる。また更に望ましくは、ダミーパターン8と直上の配線パターンとの平面的な距離を、ダミーパターン8と直上の配線パターンとの間に形成されている層間絶縁膜の膜厚以上の距離で離間させることが望ましい。また更に望ましくは、その配線パターンの下部に形成されている層間絶縁膜の膜厚だけ、ダミーパターンを配線パターンの平面的な距離を離間することが望ましい。

【0034】続いて本発明の第二の実施形態を図3(a)、(b)の平面図及び断面図を参照して説明する。尚、前述の第一の実施形態と同様の構成については同一の符号を記し、その説明は省略する。

【0035】図6(a)、(b)で説明した従来例では、一層目配線パターン7a、7bを設け、その間に複数のダミーパターン8を形成している。このため配線パターン7a、7bとの間に生じる配線間容量は、配線パターン7a、7bとの間に形成される層間絶縁膜の距離から、ダミーパターンの幅を差し引いた値に対応して増加する。

【0036】この問題を避けるためには、一層目配線パターン7a、7bとの間の距離から、その間に設けたダミーパターン8の幅(ダミーパターンを複数個設けた場合にはその幅の和)を差し引いた値L(または $L_1 + \dots + L_4$ )が、その配線パターンの配線パターン間の最小間隔である規定値 $S_{min}$ より大きくなるように形成すればよい。すなわち半導体装置の設計においては、例えば配線パターン間の距離をある一定以上取らなければならないといったデザインルールが存在し、このルールに基づいて、素子の設計が行われる。すなわちこのデザインルールでは同一の配線層における配線パターンの最小の配線間距離は $S_{min}$ として定められ、配線間容量はこの最小の配線間距離 $S_{min}$ による値が既定値 $C_{max}$ となる。従って値Lがこの $S_{min}$ 以上になるように設計を行えば、この既定値 $C_{max}$ を超えることなく、全ての配線間容量の和に対するダミーパターンの形成による配線間容量の増加の影響を小さくすることが可能となる。

【0037】またダミーパターンの配置による配線間容量への影響を更に小さくするためには、上記のように値Lを最小の配線間距離 $S_{min}$ 以上となる条件を満たすと同時に、一層目の層間絶縁膜の膜厚をT1とした場合、値LがT1以上となる条件を満たすよう形成することが望ましい。

【0038】この場合、配線パターン7a、7bとの間に形成される配線間容量を、配線7a或いは7bと基板



との間に形成される基板間容量の値に比べ、十分に小さくすることができる。従って、配線間容量と基板間容量の和からなる全配線容量に対するダミーパターンを形成したことによる容量の増加の影響を無視し得る程度に小さくすることが可能となる。尚、上記の説明において、配線層と基板間の容量について述べたが、配線パターン7a、7bの下層に他の配線パターンが形成されている場合には、基板間容量の代りに、上層配線と下層配線との間に形成される配線間容量についても上記と同様のことがいえる。

【0039】尚、上記の第一の実施形態、第二の実施形態は併用して用いることが可能である。すなわち、上記2つの実施形態を併用した場合には、ダミーパターンの形成による二層目配線パターンと基板との間の基板間容量の増加の抑制、及びダミーパターンが形成される層の配線間容量、及び基板間容量の増加の抑制を行うことができる。

【0040】続いて本発明の第一、第二の実施形態の具体例を第三の実施形態として図4を参照して説明する。図4は、一層ポリシリコン配線と二層A1配線からなる多層配線構造を有する半導体装置の断面を示す略図である。製造方法を以下に示す。まず膜厚650 $\mu$ mのp型シリコン基板1上に、STI (Shallow Trench Isolation) 法を用いて、深さ0.4 $\mu$ mの溝に酸化膜を埋め込んだ素子分離領域2を形成する。尚、STI法によれば、シリコン基板1表面と同一の平坦な素子分離絶縁膜2を形成することができる。勿論、素子分離絶縁膜2はLOCOS (Local Oxidation of Silicon) 法によって形成してもよい。

【0041】次にシリコン基板1上に形成するMOSFETのしきい値電圧を合わせるためのイオン注入を行う。次に熱酸化法により膜厚10nmのゲート絶縁膜を形成する。さらにゲート絶縁膜上に、LP-CVD (Low Pressure-Chemical Vapor Deposition) 法により、膜厚400nmのポリシリコン膜を堆積し、リン拡散によりn<sup>+</sup>型にドーピングする。次にフォトリソストとRIE法によるリソグラフィ工程を行い、MOSFETのゲート電極3、ポリシリコン配線4、ダミーパターン5を形成する。ダミーパターン5の形成位置及び寸法等については後述する。

【0042】次にゲート電極3、素子分離絶縁膜2等をマスクとして、MOSFETのソース、ドレイン領域に通常の方法でAs等のイオン注入と活性化熱処理を行ない、n<sup>+</sup>層を形成する。次に、ゲート電極3、ポリシリコン配線4、ダミーパターン5からなる第一ポリシリコン配線層上にCVD法により絶縁膜を堆積し、CMP法で平坦化することにより、膜厚0.8 $\mu$ mの層間絶縁膜6を形成する。次に層間絶縁膜6に図示せぬコンタクトホールを開いた後、層間絶縁膜6上に一層目A1配線を形成するため、膜厚400nmのA1層をスパッタ法

を用いて堆積する。次に、レジストとRIE法を用いたリソグラフィ工程を経て、一層目A1配線パターン7、7a、7bとダミーパターン8を形成する。ダミーパターン8の形成位置、寸法などは後述する。

【0043】次に一層目A1配線パターン7、7a、7bと、第一A1層を用いたダミーパターン8からなる一層目A1配線パターン上に絶縁膜を形成し、CMP法を用いて平坦化し、膜厚0.8 $\mu$ mの層間絶縁膜9を形成する。

10 【0044】層間絶縁膜9に図示せぬコンタクトホールを開いた後、その上にスパッタ法を用いてA1層を堆積する。その後、レジストとRIE法を用いたリソグラフィ工程を経て、二層目A1配線パターン10を形成し、パッシベーション用絶縁膜11を堆積した後、図示せぬボンディングパッド等を形成して半導体装置を完成する。

【0045】次に本発明の特徴的な構成であるダミーパターンの形成位置及びその寸法について説明する。ダミーパターン5は、層間絶縁膜6表面の平坦性の向上と、ゲート電極3や配線パターン4の加工精度の向上のために形成される。この際、配線パターンによる基板間容量の増加を極力抑制するため、第一及び第二の実施形態で説明した規則に従い、上位配線パターン上に形成する配線パターンとの相互関係を考慮してその配置を決定する。

【0046】すなわち、図4の破線部分12に示すように、ポリシリコン層からなるダミーパターン5の上部に一層目のA1配線パターン7が存在する場合には、第一の実施形態で説明した規則を適用し、ダミーパターン5によるA1配線パターン7の基板間容量の増加を抑制する。本実施の形態においては、第一の実施形態の後半に述べた抑制効果の大きい規則を適用し、A1配線パターン7とダミーパターン5との平面的な距離を、一層目の層間絶縁膜の膜厚である0.8 $\mu$ mと等しくなるように、ダミーパターン5を配置する。

【0047】尚、図4の破線部分13に示すように、シリコン基板にSTI素子分離領域の埋め込み絶縁層2が形成されているので、厳密に言えば一層目A1配線パターンの示す基板間容量にはその影響が含まれることになるが、実際上は一層目A1配線パターン7と基板1との間には、厚い層間絶縁膜6が介在し、また素子分離絶縁膜は、配線パターン下部の全領域において形成されているものではなく、素子分離絶縁膜の基板間容量に対する影響は小さい。また設計基準をより厳しくする立場から妥当な評価方法とする。

【0048】尚、最下位のポリシリコン配線パターン4のように、STI素子分離領域の埋め込み絶縁層2の上にゲートと配線を兼ねるポリシリコン配線パターン4を形成し、これにダミーパターン5を隣接する場合には、第二の実施形態の後半に述べた規則を適用する。すなわ



ち、図4の破線部分13に示すように、配線パターン4間の端面の距離からダミーパターン5の幅の和を差し引いた値が、素子分離絶縁膜の膜厚である $0.4\mu\text{m}$ 以上となるようにダミーパターン5を配置する。本実施例では配線パターン4とダミーパターン5との間隔を $0.4\mu\text{m}$ としているのでこの条件はすでに満たされている。

【0049】またダミーパターン8はダミーパターン5と同様に、層間絶縁膜9表面の平坦性の向上と、配線パターン7a、7bの加工精度の向上のために形成される。この際、配線パターンの寄生容量の増加を極力抑制するため、第一及び第二の実施形態で説明した規則に従い、上位配線パターン上に形成する配線パターンとの相互関係を考慮してその配置を決定する。

【0050】すなわち図4の破線部分14に示すように、第一層A1からなるダミーパターン8の上位に第二層のA1配線パターン10が存在するので、第一の実施形態の後半に述べた規則を適用して、二層目A1配線パターン10の基板間容量が、第一層A1ダミーパターン8の存在により増加するのを抑制する。すなわち、二層目A1配線パターン10と第一層A1ダミーパターン8との平面的な距離が、ダミーパターン8の上部に形成される層間絶縁膜9の膜厚以上である $0.8\mu\text{m}$ となるように、ダミーパターン8を設置する。

【0051】図4の破線部分14に示す例では、シリコン基板に素子分離領域の埋め込み絶縁層2が形成されているので、厳密に言えば二層目A1配線パターン10の示す基板間容量にはその影響が含まれることになるが、実際上は二層目A1配線パターン10とシリコン基板1との間に、厚い二層の層間絶縁膜6と9が介在するので、STI埋め込み絶縁層の影響は、図4の破線部分12と同様に無視することができる。

【0052】また第一層A1ダミーパターン8の形成による一層目A1配線パターン7aと7b相互間の配線間容量を増加させないために、第二の実施形態の後半に述べた規則を適用する。すなわち、図4の破線部分15に示すように、一層目A1配線パターン7aと7bとの間に、2つのダミーパターン8を配置するとき、一層目A1配線パターン7aと7bの端面の間隔から、2つのダミーパターン8の幅の和を差し引いた値が、第一層A1の下面からシリコン基板表面までの絶縁膜の厚さ $0.8\mu\text{m}$ よりも大きくなるように、前記第一層A1のダミーパターンを配置する。図2の破線部分15に示す場合には、2つのダミーパターンの間隔が $1.6\mu\text{m}$ 以上であるから、この条件はすでに満たされている。

【0053】本発明は、上記の実施の形態に限定されるものではなく、CMP研磨のほかパターン依存性のある全てのエッチバック工程に対して適用することができる。また上記の説明は、一層ポリシリコン、二層A1配線の場合までについて述べたが任意の材料からなる多層配線について適用することが可能である。

【0054】

【発明の効果】本発明の半導体装置によれば、従来に比べ配線容量や基板容量を抑制して、その多層配線構造にダミーパターンを配置することができる。このため半導体装置の高速性を損なうことなく、多層配線構造に対して、各配線パターン毎にCMP法による平坦化を行うことが可能となり、リソグラフィ工程における製造歩留まりが向上し、高集積密度でかつ信頼性の高い半導体装置を製造することが可能となる。

【0055】また、本発明のダミーパターン配置の規則を、多層配線構造を有する半導体装置の自動配置、配線プログラムに組み込むことにより、高速で高機能な半導体装置の設計を、従来と同様に、短いターンアラウンド時間で経済的に完了することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施形態を説明するための半導体装置の上面図及び断面図。

【図2】本発明の第一の実施形態の更に望ましい形態を説明するための半導体装置の上面図及び断面図。

【図3】本発明の第二の実施形態を説明するための半導体装置の上面図及び断面図。

【図4】本発明の第三の実施形態を説明するための半導体装置の断面図。

【図5】従来のCMP法を用いた層間絶縁膜の平坦化工程における状況を説明するための断面図。

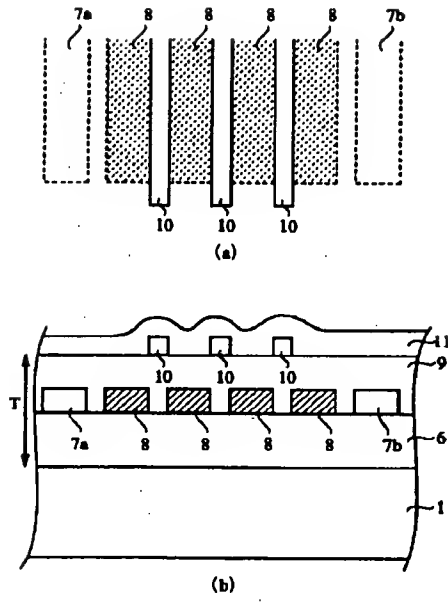
【図6】従来の半導体装置のダミーパターンが形成されている領域付近の上面図及び断面図。

【図7】ダミーパターンの形成による容量の増加の説明するための平板コンデンサーでモデル化した際の断面図。

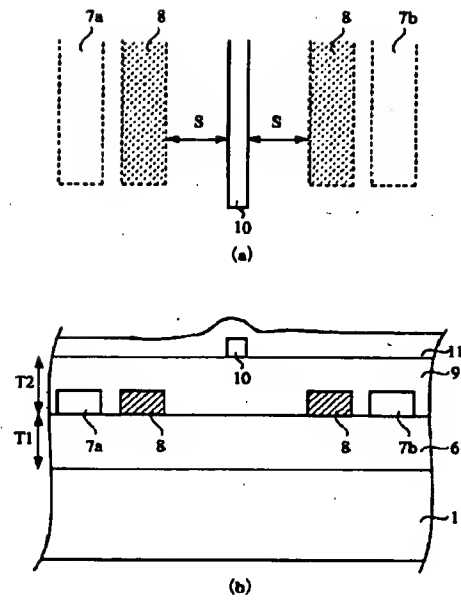
【符号の説明】

- 1 半導体基板
- 2 素子分離絶縁膜
- 3 ゲート電極
- 4 ポリシリコン配線
- 5 ダミーパターン5
- 6 層間絶縁膜
- 7 第一配線パターン
- 8 ダミーパターン
- 9 層間絶縁膜
- 10 二層目配線パターン
- 11 パッシベーション膜
- 12、13、14、15 破線部分
- 16 研磨布
- 17 基板間容量
- 18 配線間容量
- 19 絶縁膜
- 20 電極
- 21 導電層

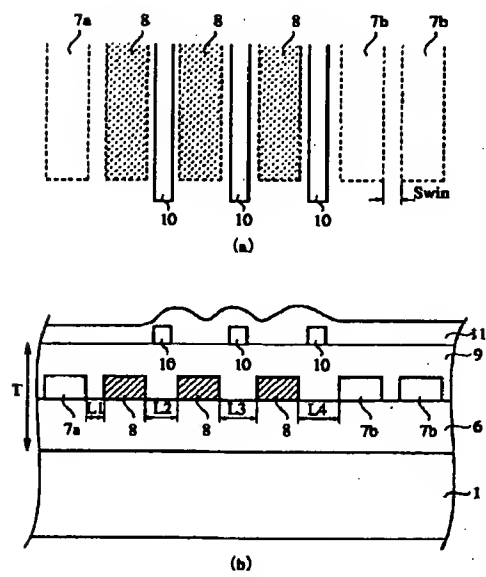
【図1】



【図2】



【図3】



【図6】

